

Requested Patent: JP11186417A

Title:

NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS  
MANUFACTURE ;

Abstracted Patent: JP11186417 ;

Publication Date: 1999-07-09 ;

Inventor(s): OTA YUTAKA ;

Applicant(s): SANYO ELECTRIC CO LTD ;

Application Number: JP19970353924 19971222 ;

Priority Number(s): ;

IPC Classification:

H01L21/8247 ; H01L29/788 ; H01L29/792 ; H01L27/115 ;

Equivalents:

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the writing characteristics of a non-volatile semiconductor storage device by relatively increasing an electrostatic capacity between a floating gate electrode and a source/drain diffused layer by reducing an electrostatic capacity between the floating gate electrode and a selection gate electrode. SOLUTION: This non-volatile semiconductor storage device is provided with two floating gate electrodes 5 and 6 sharing one control gate electrode 7 which are arranged in a channel area 4 between two source/drain areas 3. The control gate electrode 7 is formed through a side wall spacer film 53 on the side wall of the floating gate electrodes 5 and 6.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-186417

(43)公開日 平成11年(1999) 7月9日

(51)IntCl.<sup>5</sup>  
H01L 21/8247  
29/788  
29/792  
27/115

識別記号

F I  
H01L 29/78 3 7 1  
27/10 4 3 4

審査請求 未請求 請求項の数6 OL (全 23 頁)

(21)出願番号 特願平9-353924

(22)出願日 平成9年(1997)12月22日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 太田 豊

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

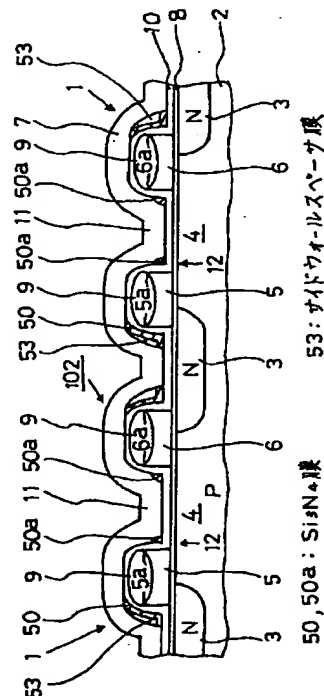
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 不揮発性半導体記憶装置とその製造方法

(57)【要約】

【課題】 浮遊ゲート電極と選択ゲート電極間の静電容量を減少させることで、相対的に浮遊ゲート電極とソース・ドレイン拡散層間の静電容量を大きくし、不揮発性半導体記憶装置の書き込み特性の向上を図る。

【解決手段】 1つの制御ゲート電極7を共有し、2つのソース・ドレイン領域3間のチャンネル領域4上に併置された2つの浮遊ゲート電極5、6を備えた不揮発性半導体記憶装置において、前記浮遊ゲート電極5、6の側壁にサイドウォールスペーサ膜53を介して制御ゲート電極7が形成されたことを特徴とするものである。



## 【特許請求の範囲】

【請求項1】 1つの制御ゲート電極を共有し、2つのソース・ドレイン領域間のチャンネル領域上に併置された2つの浮遊ゲート電極を備えた不揮発性半導体記憶装置において、

前記浮遊ゲート電極の側壁にサイドウォールスペーサ膜を介して制御ゲート電極が形成されたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 1つの制御ゲート電極を共有し、2つのソース・ドレイン領域間のチャンネル領域上に併置された2つの浮遊ゲート電極を備えた不揮発性半導体記憶装置において、

前記ソース・ドレイン領域に隣接する浮遊ゲート電極側の側壁にサイドウォールスペーサ膜を介して制御ゲート電極が形成されたことを特徴とする不揮発性半導体記憶装置。

【請求項3】 半導体基板上にゲート絶縁膜を介して形成された第1及び第2のソース・ドレイン領域と、前記第1及び第2のソース・ドレイン領域の間に挟まれたチャンネル領域と、

前記チャンネル領域上に併置され、かつ前記第1のソース・ドレイン領域にその一端部が隣接するように配置される第1の浮遊ゲート電極、並びに第2のソース・ドレイン領域にその一端部が隣接するように配置される第2の浮遊ゲート電極と、

前記第1及び第2の浮遊ゲート電極上を被覆するように形成されたトンネル絶縁膜と、

前記第1及び第2のソース・ドレイン領域に隣接するように配置された第1及び第2の浮遊ゲート電極の一端部の側壁に前記トンネル絶縁膜を介してサイドウォールスペーサ膜が形成され、かつ第1及び第2の浮遊ゲート電極によって共有された制御ゲート電極とを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項4】 半導体基板上にゲート絶縁膜を介して形成された第1及び第2のソース・ドレイン領域と、前記第1及び第2のソース・ドレイン領域の間に挟まれたチャンネル領域と、

前記チャンネル領域上に併置され、かつ前記第1のソース・ドレイン領域にその一端部が隣接するように配置される第1の浮遊ゲート電極、並びに第2のソース・ドレイン領域にその一端部が隣接するように配置される第2の浮遊ゲート電極と、

前記第1及び第2の浮遊ゲート電極上を被覆するように形成されたトンネル絶縁膜と、

前記第1及び第2の浮遊ゲート電極の両側壁に形成されたシリコン窒化膜と、

前記第1及び第2のソース・ドレイン領域に隣接するように配置された第1及び第2の浮遊ゲート電極の一端部の側壁に前記トンネル絶縁膜及びシリコン窒化膜を介してサイドウォールスペーサ膜が形成され、かつ第1及び

第2の浮遊ゲート電極によって共有された制御ゲート電極とを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項5】 半導体基板上にゲート絶縁膜を介して形成された第1及び第2のソース・ドレイン領域と、第1及び第2のソース・ドレイン領域の間に挟まれたチャンネル領域と、チャンネル領域上に併置された第1及び第2の浮遊ゲート電極と、第1及び第2の浮遊ゲート電極の上にトンネル絶縁膜を介して形成され、第1及び第2の浮遊ゲート電極によって共有された制御ゲート電極とを備えた不揮発性半導体記憶装置の製造方法において、

前記第1及び第2の浮遊ゲート電極を被覆するトンネル絶縁膜上に酸化膜を形成した後に該酸化膜を異方性エッチングして前記トンネル絶縁膜を介して前記第1及び第2の浮遊ゲート電極の側壁にサイドウォールスペーサ膜を形成する工程を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項6】 半導体基板上にゲート絶縁膜を介して形成された第1及び第2のソース・ドレイン領域と、第1及び第2のソース・ドレイン領域の間に挟まれたチャンネル領域と、チャンネル領域上に併置された第1及び第2の浮遊ゲート電極と、第1及び第2の浮遊ゲート電極の上にトンネル絶縁膜を介して形成され、第1及び第2の浮遊ゲート電極によって共有された制御ゲート電極とを備えた不揮発性半導体記憶装置の製造方法において、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の導電膜を形成する工程と、前記第1の導電性膜をエッチングして浮遊ゲート電極と成る第1の膜を形成する工程と、

半導体基板の表面に不純物イオンを注入してソース領域・ドレイン領域を形成する工程と、

前記工程で形成されたデバイスの全面にトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜を被覆するようにシリコン窒化膜を形成する工程と、

前記シリコン窒化膜を被覆するように酸化膜を形成した後にレジスト膜をマスクにしてチャンネル領域上の酸化膜をエッチングして除去する工程と、

前記レジスト膜を除去した後に前記酸化膜を異方性エッチングして前記ソース・ドレイン領域に隣接する側の浮遊ゲート電極の側壁にサイドウォールスペーサ膜を形成する工程と、

前記工程で形成されたデバイスの全面に第2の導電膜を形成する工程と、

前記第2の導電膜とサイドウォールスペーサ膜とシリコン窒化膜とトンネル絶縁膜と第1の膜とを同時にエッチングすることにより、第2の導電膜から制御ゲート電極を形成し、第1の膜から第1及び第2の浮遊ゲート電極を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置とその製造方法に関し、更に言えば、浮遊ゲート電極へのデータの書込特性の向上を図る技術に関する。

## 【0002】

【従来の技術】従来の不揮発性半導体記憶装置として、本出願人が先に出願した特願平8-350901号に添付した明細書に開示したものがある。以下、従来の不揮発性半導体記憶装置について図面を参照しながら説明する。図16(a)は、従来のメモリセル1を用いたフラッシュEEPROM101のメモリセルアレイ102の一部断面図である。

【0003】メモリセル(トランジスタ)1は、2つのソース・ドレイン領域3、チャネル領域4、2つの浮遊ゲート電極5、6、制御ゲート電極7から構成されている。P型単結晶シリコン基板2上にN型のソース・ドレイン領域3が形成されている。対称構造の2つのソース・ドレイン領域3に挟まれたチャネル領域4上に、ゲート絶縁膜8を介して、同一寸法形状の2つの浮遊ゲート電極5、6が並べられて形成されている。各浮遊ゲート電極5、6上にLOCOS法によって形成された絶縁膜9およびトンネル絶縁膜10を介して制御ゲート電極7が形成されている。絶縁膜9により、各浮遊ゲート電極5、6の上部の両カド部分には突起部5a、6aが形成されている。

【0004】ここで、制御ゲート電極7の一部は、各絶縁膜8、10を介してチャネル領域4上に配置され、選択ゲート11を構成している。その選択ゲート11を挟む各ソース・ドレイン領域3と選択ゲート11とにより、選択トランジスタ12が構成される。すなわち、メモリセル1は、浮遊ゲート電極5、6および制御ゲート電極7と各ソース・ドレイン領域3とから構成される2つのトランジスタと、当該各トランジスタ間に形成された選択トランジスタ12とが直列に接続された構成をとる。

【0005】メモリセルアレイ(トランジスタアレイ)102は、基板2上に形成された複数のメモリセル1によって構成されている。基板2上の占有面積を小さく抑えることを目的に、隣合う各メモリセル1は、ソース・ドレイン領域3を共通にして配置されている。図16(b)は、メモリセルアレイ102の一部平面図であり、図16(a)は、図16(b)におけるY-Y線断面図である。

【0006】基板2上にはフィールド絶縁膜13が形成され、そのフィールド絶縁膜13によって各メモリセル1間の素子分離が行われている。図16(b)の縦方向に配置された各メモリセル1のソース・ドレイン領域3は共通になっており、そのソース・ドレイン領域3によってビット線が形成されている。また、図16(b)の

横方向に配置された各メモリセル1の制御ゲート電極7は共通になっており、その制御ゲート電極7によってワード線が形成されている。

【0007】図17に、メモリセル1を用いたフラッシュEEPROM101の全体構成を示す。メモリセルアレイ102は、複数のメモリセル1がマトリックス状に配置されて構成されている。行方向に配列された各メモリセル1の制御ゲート電極7により、共通のワード線WL1~WLnが形成されている。列方向に配列された各メモリセル1のソース・ドレイン領域3により、共通のビット線BL1~BLnが形成されている。

【0008】つまり、メモリセルアレイ102は、共通のワード線WL1~WLnに接続された各メモリセル1の浮遊ゲート電極5、6が直列に配置され、その回路が共通のビット線BL1~BLnに並列に接続されて成るAND-NOR型構成をとる。各ワード線WL1~WLnはロウデコーダ103に接続され、各ビット線BL1~BLnはカラムデコーダ104に接続されている。

【0009】外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン105に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン105からアドレスバッファ106を介してアドレスラッチ107へ転送される。アドレスラッチ107でラッチされた各アドレスのうち、ロウアドレスはロウデコーダ103へ転送され、カラムアドレスはカラムデコーダ104へ転送される。

【0010】ロウデコーダ103は、アドレスラッチ107でラッチされたロウアドレスに対応した1本のワード線WL1~WLn(例えば、WLm)を選択し、各ワード線WL1~WLnの電位を後記する各動作モードに対応して制御する。つまり、各ワード線WL1~WLnの電位を制御することにより、各メモリセル1の制御ゲート電極7の電位が制御される。

【0011】カラムデコーダ104は、アドレスラッチ107でラッチされたカラムアドレスに対応した1本のビット線BL1~BLn(例えば、BLn(図示略))を選択し、各ビット線BL1~BLnの電位またはオープン状態を、後記する各動作モードに対応して制御する。つまり、各ビット線BL1~BLnの電位またはオープン状態を制御することにより、各メモリセル1のソース・ドレイン領域3の電位またはオープン状態が制御される。

【0012】外部から指定されたデータは、データピン108に入力される。そのデータは、データピン108から入力バッファ109を介してカラムデコーダ104へ転送される。カラムデコーダ104は、各ビット線BL1~BLnの電位またはオープン状態を、そのデータに対応して後記するように制御する。任意のメモリセル1から読み出されたデータは、ビット線BL1~BLnからカラムデコーダ104を介してセンスアンプ110

へ転送される。センスアンプ110は電流センスアンプである。カラムデコード104は、選択した1本のビット線BL1〜BLnとセンスアンプ110とを接続する。センスアンプ110で判別されたデータは、出力バッファ111からデータピン108を介して外部へ出力される。

【0013】尚、上記した各回路(103〜111)の動作は制御コア回路112によって制御される。次に、フラッシュEEPROM101の各動作モード(書き込み動作、読み出し動作、消去動作)について、図18〜図23を参照して説明する。尚、図18、図20、図22は図16(a)の要部だけを図示したものであり、図19、図21、図23は図17の要部だけを図示したものである。

【0014】(a)書き込み動作(図18及び図19参照)

ワード線WLmと各ビット線BLm、BLm+1との交点に接続されたメモリセル1(以下、「1m(m)」と表記する)が選択され、そのメモリセル1m(m)の各浮遊ゲート電極5、6のうち、浮遊ゲート電極6にデータを書き込む場合について説明する。

【0015】メモリセル1m(m)の各ソース・ドレイン領域3のうち、浮遊ゲート電極5に近い側のソース・ドレイン領域3(以下、「3a」と表記する)に対応するビット線BLmは、センスアンプ110内に設けられた定電流源110aを介して接地され、その電位は約1.2Vにされる。メモリセル1m(m)の各ソース・ドレイン領域3のうち、浮遊ゲート電極6に近い側のソース・ドレイン領域3(以下、「3b」と表記する)に対応するビット線BLm+1の電位は10Vにされる。

【0016】また、選択されたメモリセル1m(m)以外の各メモリセル1のソース・ドレイン領域3に対応する各ビット線(BL1…BLm-1, BLm+2…BLn)の電位は3Vにされる。メモリセル1m(m)の制御ゲート電極7に対応するワード線WLmの電位は2Vにされる。また、選択されたメモリセル1m(m)以外の各メモリセル1の制御ゲート電極7に対応する各ワード線(WL1…WLm-1, WLm+2…WLn)の電位は0Vにされる。

【0017】メモリセル1m(m)において、選択トランジスタ12のしきい値電圧Vthは約0.5Vである。従って、メモリセル1m(m)では、ソース・ドレイン領域3a中の電子が反転状態のチャネル領域4中へ移動する。そのため、ソース・ドレイン領域3bからソース・ドレイン領域3aに向かってセル電流Iwが流れる。一方、ソース・ドレイン領域3bの電位は10Vであるため、ソース・ドレイン領域3bと浮遊ゲート電極6との間の静電容量を介したカップリングにより、浮遊ゲート電極6の電位が持ち上げられて10Vに近くなる。そのため、チャネル領域4と浮遊ゲート電極6の間には高電界が生じる。従って、チャネル領域4中の電子は加速され

てホットエレクトロンとなり、図18の矢印Cに示すように、浮遊ゲート電極6へ注入される。その結果、メモリセル1m(m)の浮遊ゲート電極6に電子が蓄積され、1ビットのデータが書き込まれて記憶される。

【0018】このとき、ソース・ドレイン領域3aと浮遊ゲート電極5との間の静電容量を介したカップリングにより、浮遊ゲート電極5の電位が持ち上げられて約1.2Vに近くなる。しかし、この程度の低い電位では、浮遊ゲート電極5へ実質的にホットエレクトロンが注入されることはない。つまり、メモリセル1m(m)においては、浮遊ゲート電極6だけにホットエレクトロンが注入される。

【0019】また、ワード線WLmと各ビット線BLm-1, BLmとの交点に接続されたメモリセル1(以下、「1m(m-1)」と表記する)のソース・ドレイン領域3間にもセル電流Iwが流れる。しかし、メモリセル1m(m-1)において、ビット線BLm-1に対応するソース・ドレイン領域3の電位は3Vであるため、各浮遊ゲート電極5、6の電位が持ち上げられることはない。そのため、メモリセル1m(m-1)の各浮遊ゲート電極5、6へホットエレクトロンが注入されることはなく、メモリセル1m(m-1)にデータが書き込まれることはない。

【0020】そして、ワード線WLmと各ビット線BLm+1, BLm+2との交点に接続されたメモリセル1(以下、「1m(m+1)」と表記する。)については、ビット線BLm+2に対応するソース・ドレイン領域3の電位が3Vであり、制御ゲート電極7(ワード線WLm)の電位(=2V)より高いため、各ソース・ドレイン領域3間にセル電流が流れない。そのため、メモリセル1m(m+1)の各浮遊ゲート電極5、6へホットエレクトロンが注入されることはなく、メモリセル1m(m+1)にデータが書き込まれることはない。

【0021】尚、ワード線WLmに接続されたメモリセル1m(m), 1m(m-1), 1m(m+1)以外の各メモリセル1についても、メモリセル1m(m+1)と同様の理由により、データが書き込まれることはない。従って、前記した書き込み動作は、選択されたメモリセル1m(m)の浮遊ゲート電極6だけに行われる。

【0022】尚、メモリセル1m(m)の浮遊ゲート電極5にデータを書き込む場合は、ソース・ドレイン領域3bに対応するビット線BLm+1がセンスアンプ110内に設けられた定電流源110aを介して接地され、ソース・ドレイン領域3aに対応するビット線BLmの電位が10Vにされる。その他の電位条件については、メモリセル1m(m)の浮遊ゲート電極6にデータを書き込む場合と同様である。

【0023】従って、この書き込み動作は、選択された1つのメモリセル1について、その各浮遊ゲート電極5、6毎に行うことができる。

(b)読み出し動作(図20及び図21参照)

メモリセル1<sub>m</sub>(*m*)が選択され、そのメモリセル1<sub>m</sub>(*m*)の各浮遊ゲート電極5、6のうち、浮遊ゲート電極6からデータが読み出される場合について説明する。

【0024】メモリセル1<sub>m</sub>(*m*)のソース・ドレイン領域3aに対応するビット線BL<sub>m</sub>の電位は3Vにされる。メモリセル1<sub>m</sub>(*m*)のソース・ドレイン領域3bに対応するビット線BL<sub>m+1</sub>の電位は0Vにされる。また、選択されたメモリセル1<sub>m</sub>(*m*)以外の各メモリセル1のソース・ドレイン領域3に対応する各ビット線(BL1…BL<sub>m-1</sub>, BL<sub>m+2</sub>…BL<sub>n</sub>)は、オープン状態にされる。

【0025】メモリセル1<sub>m</sub>(*m*)の制御ゲート電極7に対応するワード線WL<sub>m</sub>の電位は4Vにされる。また、選択されたメモリセル1<sub>m</sub>(*m*)以外の各メモリセル1の制御ゲート電極7に対応する各ワード線(WL1…WL<sub>m+1</sub>, WL<sub>m+2</sub>…WL<sub>n</sub>)の電位は0Vにされる。メモリセル1<sub>m</sub>(*m*)において、ソース・ドレイン領域3aが3Vにされると、ソース・ドレイン領域3aと浮遊ゲート電極5との間の静電容量を介したカップリングにより、浮遊ゲート電極5の電位が持ち上げられて3Vに近くなる。その結果、浮遊ゲート電極5に蓄積された電荷の有無に関係なく、浮遊ゲート電極5直下のチャネル領域4はオン状態になる。

【0026】後記するように、消去状態にある浮遊ゲート電極6には電荷が蓄積されていない。それに対して、前記したように、書き込み状態にある浮遊ゲート電極6には電荷が蓄積されている。従って、消去状態にある浮遊ゲート電極6直下のチャネル領域4はオン状態になっており、書き込み状態にある浮遊ゲート電極6直下のチャネル領域4はオフ状態に近くなっている。

【0027】そのため、制御ゲート電極7に4Vが印加されたとき、ソース・ドレイン領域3aからソース・ドレイン領域3bに向かって流れるセル電流I<sub>r</sub>は、浮遊ゲート電極6が消去状態にある場合の方が、書き込み状態にある場合よりも大きくなる。このセル電流I<sub>r</sub>の値をセンスアンプ110で検出することにより、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極6に記憶されたデータの値を読み出すことができる。例えば、消去状態の浮遊ゲート電極6のデータの値を「1」、書き込み状態の浮遊ゲート電極6のデータの値を「0」として読み出しを行う。

【0028】尚、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極5からデータを読み出す場合は、ソース・ドレイン領域3bに対応するビット線BL<sub>m+1</sub>の電位が3Vにされ、ソース・ドレイン領域3aに対応するビット線BL<sub>m</sub>の電位が0Vにされる。その他の電位条件またはオープン状態については、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極6からデータを読み出す場合と同様である。

【0029】つまり、選択されたメモリセル1<sub>m</sub>(*m*)について、その各浮遊ゲート電極5、6のいずれか一方に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値(=1ビット)を記憶させ、そのデータ値

を読み出すことができる。

(c) 消去動作(図22及び図23参照)

ワード線WL<sub>m</sub>に接続された全てのメモリセル1の各浮遊ゲート電極5、6に記憶されたデータが消去される場合について説明する。

【0030】全てのビット線BL1…BL<sub>n</sub>の電位は0Vにされる。ワード線WL<sub>m</sub>の電位は15Vにされる。また、ワード線WL<sub>m</sub>以外の各ワード線(WL1…WL<sub>m+1</sub>, WL<sub>m+2</sub>…WL<sub>n</sub>)の電位は0Vにされる。各ソース・ドレイン領域3a、3bおよび基板2と各浮遊ゲート電極5、6との間の静電容量と、制御ゲート電極7と各浮遊ゲート電極5、6の間の静電容量とを比べると、前者の方が圧倒的に大きい。つまり、各浮遊ゲート電極5、6は、各ソース・ドレイン領域3a、3bおよび基板2と強くカップリングしている。そのため、制御ゲート電極7が15V、各ソース・ドレイン領域3a、3bが0Vになっても、各浮遊ゲート電極5、6の電位は0Vからあまり変化せず、制御ゲート電極7と各浮遊ゲート電極5、6の電位差が大きくなり、制御ゲート電極7と各浮遊ゲート電極5、6の間に高電界が生じる。

【0031】その結果、FNTトンネル電流が流れ、図22の矢印Dに示すように、各浮遊ゲート電極5、6中の電子が制御ゲート電極7側へ引き抜かれて、各メモリセル1に記憶されたデータの消去が行われる。このとき、各浮遊ゲート電極5、6には突起部5a、6aが形成されているため、各浮遊ゲート電極5、6中の電子は突起部5a、6aから飛び出して制御ゲート電極7側へ移動する。従って、電子の移動が容易になり、各浮遊ゲート電極5、6中の電子を効率的に引き抜くことができる。

【0032】尚、複数のワード線WL1…WL<sub>n</sub>を同時に選択することにより、その各ワード線に接続されている全てのメモリセル1に対して消去動作を行うこともできる。このように、メモリセルアレイ102を複数組のワード線WL1…WL<sub>n</sub>毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消去と呼ばれる。

【0033】次に、メモリセルアレイ102の製造方法を図24～図27に従い順を追って説明する。尚、図24～図27の断面図は、前記の図16(b)のY-Y線断面図に相当するものである。

工程1(図24(a)、(a')参照);従来周知なLOCOS法を用い、基板2上にフィールド絶縁膜13を形成する。次に、基板2上におけるフィールド絶縁膜13の形成されていない部分(素子領域)に、熱酸化法を用いてシリコン酸化膜から成るゲート絶縁膜8を形成する。続いて、ゲート絶縁膜8上に浮遊ゲート電極5、6と成るドーパドポリシリコン膜21を形成する。そして、LPCVD法を用い、ドーパドポリシリコン膜21の全面にシリコン窒化膜22を形成する。次に、シリコン窒化膜22の全面にフォトリソistを塗布した後、通

常のフォトリソグラフィ技術を用いて、ソース・ドレイン領域3と平行な浮遊ゲート電極5、6の両側壁を形成するためのエッチング用マスク23を形成する。

【0034】工程2(図24(b),(b')参照);エッチング用マスク23を用いた異方性エッチングにより、シリコン窒化膜22をエッチングする。そして、エッチング用マスク23を剥離する。次に、LOCOS法を用い、エッチングされたシリコン窒化膜22を酸化用マスクとしてドーパドポリシリコン膜21を酸化することで、絶縁膜9を形成する。このとき、シリコン窒化膜22の端部に絶縁膜9の端部が侵入し、バースピーク9aが形成される。

【0035】工程3(図25(a),(a')参照);シリコン窒化膜22を除去する。次に、絶縁膜9をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜21をエッチングして、浮遊ゲート電極5、6と成る膜24を形成する。この膜24は、ソース・ドレイン領域3と平行に配置された浮遊ゲート電極5を連続させた形状を有すると共に、ソース・ドレイン領域3と平行に配置された浮遊ゲート電極6を連続させた形状を有する。つまり、膜24の両側壁が浮遊ゲート電極5、6の両側壁となる。このとき、絶縁膜9の端部にはバースピーク9aが形成されているため、膜24の上縁部はバースピーク9aの形状に沿って尖鋭になり、突起部5a、6aが形成される。

【0036】工程4(図25(b),(b')参照);上記の工程で形成されたデバイスの全面にフォトレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ソース・ドレイン領域3を形成するためのイオン注入用マスク25を形成する。次に、通常のイオン注入法を用い、基板2の表面にN型不純物イオン(リンイオン、ヒ素イオンなど)を注入してソース領域・ドレイン領域3を形成する。その後、イオン注入用マスク25を剥離する。

【0037】このとき、イオン注入用マスク25は、少なくとも基板2上のソース・ドレイン領域3が形成されない部分を覆うように形成すると共に、膜24上をはみ出さないように形成する。その結果、ソース・ドレイン領域3の位置は、膜24の側壁(すなわち、浮遊ゲート電極5、6の端部)によって規定される。

工程5(図26(a),(a')参照);熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜10を形成する。すると、積層された各絶縁膜8、10および各絶縁膜9、10はそれぞれ一体化される。

【0038】工程6(図26(b),(b')参照);上記の工程で形成されたデバイスの全面に、制御ゲート電極7と成るドーパドポリシリコン膜26を形成する。尚、各ドーパドポリシリコン膜21、26の形成方法に

は以下のものがある。

方法1;LPCVD法を用いてポリシリコン膜を形成する際に、原料ガスに不純物を含んだガスを混入する。

【0039】方法2;LPCVD法を用いてノンドープのポリシリコン膜を形成した後に、ポリシリコン膜上に不純物拡散源層(POC13など)を形成し、その不純物拡散源層からポリシリコン膜に不純物を拡散させる。

方法3;LPCVD法を用いてノンドープのポリシリコン膜を形成した後に、不純物イオンを注入する。

【0040】工程6(図27(a),(a')参照);上記の工程で形成されたデバイスの全面にフォトレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、各浮遊ゲート電極5、6および制御ゲート電極7を形成するためのエッチング用マスク27を形成する。

工程7(図27(b),(b')参照);エッチング用マスク27を用いた異方性エッチングにより、ドーパドポリシリコン膜26、トンネル絶縁膜10、絶縁膜9、膜24をエッチングガスを制御しながら同時にエッチングする。これにより、ドーパドポリシリコン膜26から制御ゲート電極7が形成され、膜24から各浮遊ゲート電極5、6が形成される。

【0041】そして、エッチング用マスク27を剥離すると、メモリアルレイ102が完成する。

【0042】

【発明が解決しようとする課題】上記不揮発性半導体記憶装置において、前述したように書き込み動作時には図18に示すように書き込みを行う浮遊ゲート電極6に隣接するソース・ドレイン領域3bの電位を10Vに設定し、ソース・ドレイン領域3bと浮遊ゲート電極6との間の静電容量を介したカップリングにより、浮遊ゲート電極6の電位を持ち上げてチャネル領域4と浮遊ゲート電極6の間に高電界を生じさせることで、チャネル領域4中の電子が加速されてホットエレクトロンとなり、浮遊ゲート電極6に注入している。このときのカップリング比CRは、 $C1/(C1+C2)$ (ここでC1は、図18に示すように $C1/2+C1/2$ )である。従って、カップリング比は、浮遊ゲート電極5、6と制御ゲート電極7の間の薄い膜、つまりトンネル絶縁膜10の膜厚に依存することになる。

【0043】また、上記不揮発性半導体記憶装置の構造では、制御ゲート電極7はトンネル絶縁膜10を介して浮遊ゲート電極5、6の両側壁を被覆しているため、トンネル絶縁膜10を介して接する面積が多くなる。そのため、浮遊ゲート電極5、6の全浮遊容量に対して浮遊ゲート電極5、6と選択ゲート7間の容量の占める割合が大きくなり、書き込み動作時の浮遊ゲート電極5、6の電位を持ち上げ難くなり、書き込み特性が低下し、書き込みに要する時間が長くなるという問題があった。

【0044】従って、本発明は浮遊ゲート電極と選択ゲート電極間の静電容量を減少させることで、相対的に浮

遊ゲート電極とソース・ドレイン拡散層間の静電容量を大きくし、書き込み特性の向上を図る不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

#### 【0045】

【課題を解決するための手段】そこで本発明の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された第1及び第2のソース・ドレイン領域と、該第1及び第2のソース・ドレイン領域の間に挟まれたチャンネル領域と、該チャンネル領域上に併置され、かつ前記第1のソース・ドレイン領域にその一端部が隣接するように配置される第1の浮遊ゲート電極、並びに第2のソース・ドレイン領域にその一端部が隣接するように配置される第2の浮遊ゲート電極と、前記第1及び第2の浮遊ゲート電極上に被覆するように形成されたトンネル絶縁膜と、前記第1及び第2のソース・ドレイン領域に隣接するように配置された第1及び第2の浮遊ゲート電極の一端部の側壁に前記トンネル絶縁膜を介してサイドウォールスペーサ膜が形成され、かつ第1及び第2の浮遊ゲート電極によって共有された制御ゲート電極とを備えたことを特徴とするものである。

【0046】また、前記不揮発性半導体記憶装置は、前記浮遊ゲート電極の両側壁を被覆するようにSi<sub>3</sub>N<sub>4</sub>膜が形成され、前記ソース・ドレイン領域に隣接する浮遊ゲート電極側の側壁にSi<sub>3</sub>N<sub>4</sub>膜を介してサイドウォールスペーサ膜が形成され、その上に制御ゲート電極が形成されたことを特徴とするものである。そして、その製造方法は、前記第1及び第2の浮遊ゲート電極を被覆するトンネル絶縁膜上にSiO<sub>2</sub>膜を形成した後に該SiO<sub>2</sub>膜を異方性エッチングして前記トンネル絶縁膜を介して前記第1及び第2の浮遊ゲート電極の側壁にサイドウォールスペーサ膜を形成する工程を有することを特徴とするものである。

【0047】更に、その製造方法は、半導体基板上にゲート絶縁膜を形成し、該ゲート絶縁膜上に第1の導電膜を形成した後、該第1の導電性膜をエッチングして浮遊ゲート電極と成る第1の膜を形成する。次に、前記基板の表面に不純物イオンを注入してソース領域・ドレイン領域を形成した後、前記工程で形成されたデバイスの全面にトンネル絶縁膜を形成する。続いて、前記トンネル絶縁膜を被覆するようにSi<sub>3</sub>N<sub>4</sub>膜を形成した後、該Si<sub>3</sub>N<sub>4</sub>膜を被覆するようにSiO<sub>2</sub>膜を形成した後にレジスト膜をマスクにしてチャンネル領域上のSiO<sub>2</sub>膜をエッチングして除去する。更に、前記レジスト膜を除去した後、前記SiO<sub>2</sub>膜を異方性エッチングして前記ソース・ドレイン領域に隣接する側の浮遊ゲート電極の側壁にSiO<sub>2</sub>膜から成るサイドウォールスペーサ膜を形成する。そして、前記工程で形成されたデバイスの全面に第2の導電膜を形成した後、該第2の導電膜とサイドウォールスペーサ膜とSi<sub>3</sub>N<sub>4</sub>膜とトンネル絶縁膜と第1の膜とを同時にエッチングすることにより、第2の導

電膜から制御ゲート電極を形成し、第1の膜から第1及び第2の浮遊ゲート電極を形成する工程とを有することを特徴とするものである。

#### 【0048】

【発明の実施の形態】以下、本発明の不揮発性半導体記憶装置の一実施形態について図面を参照しながら説明する。尚、説明の便宜上、従来構造と同等の構成については、同符号を付して説明を簡略する。図1は、本実施形態のメモリセル1を用いたフラッシュEEPROM101のメモリセルアレイ102の一部断面図である。

【0049】メモリセル(トランジスタ)1は、2つのソース・ドレイン領域3、チャンネル領域4、2つの浮遊ゲート電極5、6、制御ゲート電極7から構成されている。P型単結晶シリコン基板2上にN型のソース・ドレイン領域3が形成されている。対称構造の2つのソース・ドレイン領域3に挟まれたチャンネル領域4上に、ゲート絶縁膜8を介して、同一寸法形状の2つの浮遊ゲート電極5、6が並べられて形成されている。各浮遊ゲート電極5、6上にLOCOS法によって形成された絶縁膜9及びトンネル絶縁膜10を介して制御ゲート電極7が形成されている。尚、各浮遊ゲート電極5、6の上部の両カド部分には前述したLOCOS法により絶縁膜9を形成した際のバズビークによる突起部5a、6aが形成されている。

【0050】ここで、制御ゲート電極7の一部は、各絶縁膜8、10を介してチャンネル領域4上に配置され、選択ゲート11を構成している。その選択ゲート11を挟む各ソース・ドレイン領域3と選択ゲート11とにより、選択トランジスタ12が構成される。すなわち、メモリセル1は、浮遊ゲート電極5、6および制御ゲート電極7と各ソース・ドレイン領域3とから構成される2つのトランジスタと、当該各トランジスタ間に形成された選択トランジスタ12とが直列に接続された構成をとる。

【0051】以上の構成は従来構造と同様であり、本発明の特徴となる構成は図1に示すように浮遊ゲート電極5、6の側壁にトンネル絶縁膜10を介してSi<sub>3</sub>N<sub>4</sub>膜50が形成され、更にソース・ドレイン領域3に隣接する側の浮遊ゲート電極5、6の一端部の側壁にSiO<sub>2</sub>膜から成るサイドウォールスペーサ膜53が前記Si<sub>3</sub>N<sub>4</sub>膜50上から形成されている点である。

【0052】このように浮遊ゲート電極5、6の側壁にトンネル絶縁膜10を介してサイドウォールスペーサ膜53を形成したことで、前記浮遊ゲート電極5、6と制御ゲート電極7間の絶縁膜(トンネル絶縁膜10とSi<sub>3</sub>N<sub>4</sub>膜50、またトンネル絶縁膜10とSi<sub>3</sub>N<sub>4</sub>膜50とサイドウォールスペーサ膜53)が従来構造より厚くなり、浮遊ゲート電極5、6と選択ゲート電極7間の静電容量が従来構造に比べて減少して、相対的に浮遊ゲート電極5、6とソース・ドレイン領域3間の静電容量が



大きくなり、詳しくは後述するが書き込み特性が向上する。

【0053】以下、従来構造と同様にメモリセルアレイ（トランジスタアレイ）102は、基板2上に形成された複数のメモリセル1によって構成されている。基板2上の占有面積を小さく抑えることを目的に、隣合う各メモリセル1は、ソース・ドレイン領域3を共通にして配置されている。図2は、メモリセルアレイ102の一部平面図である。尚、図1は、図2におけるY-Y線断面図である。

【0054】基板2上にはフィールド絶縁膜13が形成され、そのフィールド絶縁膜13によって各メモリセル1間の素子分離が行われている。図2の縦方向に配置された各メモリセル1のソース・ドレイン領域3は共通になっており、そのソース・ドレイン領域3によってビット線が形成されている。また、図2の横方向に配置された各メモリセル1の制御ゲート電極7は共通になっており、その制御ゲート電極7によってワード線が形成されている。

【0055】以下、図3に、メモリセル1を用いたフラッシュEEPROM101の全体構成を示す。メモリセルアレイ102は、複数のメモリセル1がマトリクス状に配置されて構成されている。行方向に配列された各メモリセル1の制御ゲート電極7により、共通のワード線WL1～WLnが形成されている。列方向に配列された各メモリセル1のソース・ドレイン領域3により、共通のビット線BL1～BLnが形成されている。

【0056】つまり、メモリセルアレイ102は、共通のワード線WL1～WLnに接続された各メモリセル1の浮遊ゲート電極5、6が直列に配置され、その回路が共通のビット線BL1～BLnに並列に接続されて成るAND-NOR型構成をとる。各ワード線WL1～WLnはロウデコーダ103に接続され、各ビット線BL1～BLnはカラムデコーダ104に接続されている。

【0057】外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン105に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン105からアドレスバッファ106を介してアドレスラッチ107へ転送される。アドレスラッチ107でラッチされた各アドレスのうち、ロウアドレスはロウデコーダ103へ転送され、カラムアドレスはカラムデコーダ104へ転送される。

【0058】ロウデコーダ103は、アドレスラッチ107でラッチされたロウアドレスに対応した1本のワード線WL1～WLn（例えば、WLm）を選択し、各ワード線WL1～WLnの電位を後記する各動作モードに対応して制御する。つまり、各ワード線WL1～WLnの電位を制御することにより、各メモリセル1の制御ゲート電極7の電位が制御される。

【0059】カラムデコーダ104は、アドレスラッチ

107でラッチされたカラムアドレスに対応した1本のビット線BL1～BLn（例えば、BLm（図示略））を選択し、各ビット線BL1～BLnの電位またはオープン状態を、後記する各動作モードに対応して制御する。つまり、各ビット線BL1～BLnの電位またはオープン状態を制御することにより、各メモリセル1のソース・ドレイン領域3の電位またはオープン状態が制御される。

【0060】外部から指定されたデータは、データピン108に入力される。そのデータは、データピン108から入力バッファ109を介してカラムデコーダ104へ転送される。カラムデコーダ104は、各ビット線BL1～BLnの電位またはオープン状態を、そのデータに対応して後記するように制御する。任意のメモリセル1から読み出されたデータは、ビット線BL1～BLnからカラムデコーダ104を介してセンスアンプ110へ転送される。センスアンプ110は電流センスアンプである。カラムデコーダ104は、選択した1本のビット線BL1～BLnとセンスアンプ110とを接続する。センスアンプ110で判別されたデータは、出力バッファ111からデータピン108を介して外部へ出力される。

【0061】尚、上記した各回路（103～111）の動作は制御コア回路112によって制御される。次に、フラッシュEEPROM101の各動作モード（書き込み動作、読み出し動作、消去動作）について、図4～図9を参照して説明する。尚、図4、図6、図8は図1の要部だけを図示したものであり、図5、図7、図9は図3の要部だけを図示したものである。

【0062】（a）書き込み動作（図4及び図5参照）ワード線WLmと各ビット線BLm、BLm+1との交点に接続されたメモリセル1（以下、「1m(m)」と表記する）が選択され、そのメモリセル1m(m)の各浮遊ゲート電極5、6のうち、浮遊ゲート電極6にデータを書き込む場合について説明する。

【0063】メモリセル1m(m)の各ソース・ドレイン領域3のうち、浮遊ゲート電極5に近い側のソース・ドレイン領域3（以下、「3a」と表記する）に対応するビット線BLmは、センスアンプ110内に設けられた定電流源110aを介して接地され、その電位は約1.2Vにされる。メモリセル1m(m)の各ソース・ドレイン領域3のうち、浮遊ゲート電極6に近い側のソース・ドレイン領域3（以下、「3b」と表記する）に対応するビット線BLm+1の電位は10Vにされる。

【0064】また、選択されたメモリセル1m(m)以外の各メモリセル1のソース・ドレイン領域3に対応する各ビット線（BL1…BLm-1、BLm+2…BLn）の電位は3Vにされる。メモリセル1m(m)の制御ゲート電極7に対応するワード線WLmの電位は2Vにされる。また、選択されたメモリセル1m(m)以外の各メモリセル1

の制御ゲート電極7に対応する各ワード線(WL1…WL<sub>m-1</sub>, WL<sub>m+2</sub>…WL<sub>n</sub>)の電位は0Vにされる。

【0065】メモリセル1<sub>m</sub>(*m*)において、選択トランジスタ12のしきい値電圧V<sub>th</sub>は約0.5Vである。従って、メモリセル1<sub>m</sub>(*m*)では、ソース・ドレイン領域3a中の電子が反転状態のチャネル領域4中へ移動する。そのため、ソース・ドレイン領域3bからソース・ドレイン領域3aに向かってセル電流I<sub>w</sub>が流れる。一方、ソース・ドレイン領域3bの電位は10Vであるため、ソース・ドレイン領域3bと浮遊ゲート電極6との間の静電容量を介したカップリングにより、浮遊ゲート電極6の電位が持ち上げられて10Vに近くなる。そのため、チャネル領域4と浮遊ゲート電極6の間には高電界が生じる。従って、チャネル領域4中の電子は加速されてホットエレクトロンとなり、図4の矢印Cに示すように、浮遊ゲート電極6へ注入される。その結果、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極6に電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0066】ここで、本発明構造のように浮遊ゲート電極5、6の側壁にトンネル絶縁膜10を介してSi<sub>3</sub>N<sub>4</sub>膜50並びにSiO<sub>2</sub>膜から成るサイドウォールスペサ膜53を形成しているため、全体の膜厚は従来に比べて厚くなり、このときのカップリング比CRは、C<sub>1</sub>/(C<sub>1</sub>+C<sub>2</sub>)（ここでC<sub>1</sub>は、図4に示すようにC<sub>1a</sub>+C<sub>1b</sub>)であり、浮遊ゲート電極5、6と選択ゲート電極7間の静電容量を従来構造に比べて小さくすることができ、相対的に浮遊ゲート電極5、6とソース・ドレイン領域3間の静電容量が大きくなり、前述したソース・ドレイン領域3bと浮遊ゲート電極6との間の静電容量を介したカップリングにより、浮遊ゲート電極6の電位が持ち上げられる際に、従来構造に比べてより10Vに近くなる。そのため、チャネル領域4と浮遊ゲート電極6の間には更に高電界が生じ易くなり、書き込み特性が向上する。

【0067】尚、ソース・ドレイン領域3aと浮遊ゲート電極5との間の静電容量を介したカップリングにより、浮遊ゲート電極5の電位が持ち上げられて約1.2Vに近くなる。しかし、この程度の低い電位では、浮遊ゲート電極5へ実質的にホットエレクトロンが注入されることはない。つまり、メモリセル1<sub>m</sub>(*m*)においては、浮遊ゲート電極6だけにホットエレクトロンが注入される。

【0068】また、ワード線WL<sub>m</sub>と各ビット線BL<sub>m-1</sub>, BL<sub>m</sub>との交点に接続されたメモリセル1（以下、「1<sub>m</sub>(*m*-1)」と表記する）のソース・ドレイン領域3間にもセル電流I<sub>w</sub>が流れる。しかし、メモリセル1<sub>m</sub>(*m*-1)において、ビット線BL<sub>m-1</sub>に対応するソース・ドレイン領域3の電位は3Vであるため、各浮遊ゲート電極5、6の電位が持ち上げられることはない。そのため、メモリセル1<sub>m</sub>(*m*-1)の各浮遊ゲート電極5、6へホット

エレクトロンが注入されることはなく、メモリセル1<sub>m</sub>(*m*-1)にデータが書き込まれることはない。

【0069】更に、ワード線WL<sub>m</sub>と各ビット線BL<sub>m+1</sub>, BL<sub>m+2</sub>との交点に接続されたメモリセル1（以下、「1<sub>m</sub>(*m*+1)」と表記する）については、ビット線BL<sub>m+2</sub>に対応するソース・ドレイン領域3の電位が3Vであり、制御ゲート電極7（ワード線WL<sub>m</sub>）の電位（=2V）より高いため、各ソース・ドレイン領域3間にセル電流が流れない。そのため、メモリセル1<sub>m</sub>(*m*+1)の各浮遊ゲート電極5、6へホットエレクトロンが注入されることはなく、メモリセル1<sub>m</sub>(*m*+1)にデータが書き込まれることはない。

【0070】尚、ワード線WL<sub>m</sub>に接続されたメモリセル1<sub>m</sub>(*m*), 1<sub>m</sub>(*m*-1), 1<sub>m</sub>(*m*+1)以外の各メモリセル1についても、メモリセル1<sub>m</sub>(*m*+1)と同様の理由により、データが書き込まれることはない。従って、前記した書き込み動作は、選択されたメモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極6だけに行われる。

【0071】また、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極5にデータを書き込む場合は、ソース・ドレイン領域3bに対応するビット線BL<sub>m+1</sub>がセンスアンプ110内に設けられた定電流源110aを介して接地され、ソース・ドレイン領域3aに対応するビット線BL<sub>m</sub>の電位が10Vにされる。その他の電位条件については、メモリセル1<sub>m</sub>(*m*)の浮遊ゲート電極6にデータを書き込む場合と同様である。

【0072】従って、この書き込み動作は、選択された1つのメモリセル1について、その各浮遊ゲート電極5、6毎に行うことができる。

(b) 読み出し動作（図6及び図7参照）

メモリセル1<sub>m</sub>(*m*)が選択され、そのメモリセル1<sub>m</sub>(*m*)の各浮遊ゲート電極5、6のうち、浮遊ゲート電極6からデータが読み出される場合について説明する。

【0073】メモリセル1<sub>m</sub>(*m*)のソース・ドレイン領域3aに対応するビット線BL<sub>m</sub>の電位は3Vにされる。メモリセル1<sub>m</sub>(*m*)のソース・ドレイン領域3bに対応するビット線BL<sub>m+1</sub>の電位は0Vにされる。また、選択されたメモリセル1<sub>m</sub>(*m*)以外の各メモリセル1のソース・ドレイン領域3に対応する各ビット線(BL<sub>1</sub>…BL<sub>m-1</sub>, BL<sub>m+2</sub>…BL<sub>n</sub>)は、オープン状態にされる。

【0074】メモリセル1<sub>m</sub>(*m*)の制御ゲート電極7に対応するワード線WL<sub>m</sub>の電位は4Vにされる。また、選択されたメモリセル1<sub>m</sub>(*m*)以外の各メモリセル1の制御ゲート電極7に対応する各ワード線(WL<sub>1</sub>…WL<sub>m+1</sub>, WL<sub>m+2</sub>…WL<sub>n</sub>)の電位は0Vにされる。メモリセル1<sub>m</sub>(*m*)において、ソース・ドレイン領域3aが3Vにされると、ソース・ドレイン領域3aと浮遊ゲート電極5との間の静電容量を介したカップリングにより、浮遊ゲート電極5の電位が持ち上げられて3Vに近くなる。その結果、浮遊ゲート電極5に蓄積された電荷の有

無に関係なく、浮遊ゲート電極5直下のチャネル領域4はオン状態になる。

【0075】後記するように、消去状態にある浮遊ゲート電極6には電荷が蓄積されていない。それに対して、前記したように、書き込み状態にある浮遊ゲート電極6には電荷が蓄積されている。従って、消去状態にある浮遊ゲート電極6直下のチャネル領域4はオン状態になっており、書き込み状態にある浮遊ゲート電極6直下のチャネル領域4はオフ状態に近くなっている。

【0076】そのため、制御ゲート電極7に4Vが印加されたとき、ソース・ドレイン領域3aからソース・ドレイン領域3bに向かって流れるセル電流 $I_r$ は、浮遊ゲート電極6が消去状態にある場合の方が、書き込み状態にある場合よりも大きくなる。このセル電流 $I_r$ の値をセンスアンプ110で検出することにより、メモリセル1m(m)の浮遊ゲート電極6に記憶されたデータの値を読み出すことができる。例えば、消去状態の浮遊ゲート電極6のデータの値を「1」、書き込み状態の浮遊ゲート電極6のデータの値を「0」として読み出しを行う。

【0077】尚、メモリセル1m(m)の浮遊ゲート電極5からデータを読み出す場合は、ソース・ドレイン領域3bに対応するビット線 $BL_{m+1}$ の電位が3Vにされ、ソース・ドレイン領域3aに対応するビット線 $BL_m$ の電位が0Vにされる。その他の電位条件またはオープン状態については、メモリセル1m(m)の浮遊ゲート電極6からデータを読み出す場合と同様である。

【0078】つまり、選択されたメモリセル1m(m)について、その各浮遊ゲート電極5、6のいずれか一方に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値(=1ビット)を記憶させ、そのデータ値を読み出すことができる。

(c) 消去動作(図8及び図9参照)

ワード線 $WL_m$ に接続された全てのメモリセル1の各浮遊ゲート電極5、6に記憶されたデータが消去される場合について説明する。

【0079】全てのビット線 $BL_1 \sim BL_n$ の電位は0Vにされる。ワード線 $WL_m$ の電位は1.5Vにされる。また、ワード線 $WL_m$ 以外の各ワード線( $WL_1 \dots WL_{m+1}$ ,  $WL_{m+2} \dots WL_n$ )の電位は0Vにされる。各ソース・ドレイン領域3a、3b及び基板2と各浮遊ゲート電極5、6との間の静電容量と、制御ゲート電極7と各浮遊ゲート電極5、6の間の静電容量とを比べると、本発明構造においても前者の方が圧倒的に大きい。つまり、各浮遊ゲート電極5、6は、各ソース・ドレイン領域3a、3b及び基板2と強くカップリングしている。そのため、制御ゲート電極7が1.5V、各ソース・ドレイン領域3a、3bが0Vになっても、各浮遊ゲート電極5、6の電位は0Vからあまり変化せず、制御ゲート電極7と各浮遊ゲート電極5、6の電位差が大きくなり、制御ゲート電極7と各浮遊ゲート電極5、6の間に

高電界が生じる。

【0080】その結果、FNトンネル電流が流れ、図8の矢印Dに示すように、各浮遊ゲート電極5、6中の電子が制御ゲート電極7側へ引き抜かれて、各メモリセル1に記憶されたデータの消去が行われる。このとき、各浮遊ゲート電極5、6には突起部5a、6aが形成されているため、各浮遊ゲート電極5、6中の電子は突起部5a、6aから飛び出して制御ゲート電極7側へ移動する。従って、電子の移動が容易になり、各浮遊ゲート電極5、6中の電子を効率的に引き抜くことができる。ここで、本発明構造ではトンネル絶縁膜10上にSi3N4膜50やSi3N4膜50及びサイドウォールスペーサ膜53を介して制御ゲート電極7を形成している。そのため、チャネル側に形成したSi3N4膜50aのサイドウォールスペーサ膜は従来構造より浮遊ゲート電極5、6内の電子を制御ゲート電極7へ引き抜き難くなって、FNトンネルを利用した消去時間が延びてエンデュランス(書き込み消去)特性が低下することが問題とならないように、十分にエッチングしてチャネル側のSi3N4膜50aのサイドウォールスペーサ膜の高さを浮遊ゲート5、6の高さに比べて低くしておく。チャネル側のSi3N4膜50aのサイドウォールスペーサ膜は、浮遊ゲート底部と選択ゲート間のトンネル電流による書き込みディスタープ抑制の効果がある。尚、本実施形態ではSiO2膜のサイドウォールスペーサ膜53を片側だけに設けているので、ホットエレクトロンを発生させるチャネル側の浮遊ゲート5、6と選択ゲート7間のギャップが広がることにより、横方向電界が減少して書き込み特性が低下するという問題はない。

【0081】尚、複数のワード線 $WL_1 \sim WL_n$ を同時に選択することにより、その各ワード線に接続されている全てのメモリセル1に対して消去動作を行うこともできる。このように、メモリセルアレイ102を複数組のワード線 $WL_1 \sim WL_n$ 毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消去と呼ばれる。

【0082】次に、メモリセルアレイ102の製造方法を図10～図15を参照しながら説明する。尚、図10～図15の断面図は、図2のY-Y線断面図である。工程1(図10(a), (a'))参照); LOCOS法を用い、基板2上にフィールド絶縁膜13を形成する。次に、基板2上におけるフィールド絶縁膜13の形成されていない部分(素子領域)に、熱酸化法を用いてシリコン酸化膜から成るゲート絶縁膜8を形成する。続いて、ゲート絶縁膜8上に浮遊ゲート電極5、6と成るドーパドポリシリコン膜21を形成する。そして、LPCVD法を用い、ドーパドポリシリコン膜21の全面にシリコン窒化膜22を形成する。次に、シリコン窒化膜22の全面にフォトリソグロフィー技術を用いて、ソース・ドレイン領域3

と平行な浮遊ゲート電極5、6の両側壁を形成するためのエッチング用マスク23を形成する。

【0083】工程2(図10(b)、(b')参照)；エッチング用マスク23を用いた異方性エッチングにより、シリコン窒化膜22をエッチングする。そして、エッチング用マスク23を剥離する。次に、LOCOS法を用い、エッチングされたシリコン窒化膜22を酸化用マスクとしてドーパドポリシリコン膜21を酸化することで、絶縁膜9を形成する。このとき、シリコン窒化膜22の端部に絶縁膜9の端部が侵入し、バースピーク9aが形成される。

【0084】工程3(図11(a)、(a')参照)；シリコン窒化膜22を除去する。次に、絶縁膜9をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜21をエッチングして、浮遊ゲート電極5、6と成る膜24を形成する。この膜24は、ソース・ドレイン領域3と平行に配置された浮遊ゲート電極5を連続させた形状を有すると共に、ソース・ドレイン領域3と平行に配置された浮遊ゲート電極6を連続させた形状を有する。つまり、膜24の両側壁が浮遊ゲート電極5、6の両側壁となる。このとき、絶縁膜9の端部にはバースピーク9aが形成されているため、膜24の上縁部はバースピーク9aの形状に沿って尖鋭になり、突起部5a、6aが形成される。

【0085】工程4(図11(b)、(b')参照)；上記の工程で形成されたデバイスの全面にフォトレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ソース・ドレイン領域3を形成するためのイオン注入用マスク25を形成する。次に、通常のイオン注入法を用い、基板2の表面にN型不純物イオン(リンイオン、ヒ素イオンなど)を注入してソース・ドレイン領域3を形成する。その後、イオン注入用マスク25を剥離する。

【0086】このとき、イオン注入用マスク25は、少なくとも基板2上のソース・ドレイン領域3が形成されない部分を覆うように形成すると共に、膜24上をはみ出さないように形成する。その結果、ソース・ドレイン領域3の位置は、膜24の側壁(すなわち、浮遊ゲート電極5、6の端部)によって規定される。

工程5(図12(a)、(a')参照)；熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜10を形成する。すると、積層された各絶縁膜8、10および各絶縁膜9、10はそれぞれ一体化される。その後、トンネル絶縁膜10を被覆するようにおよそ200Åの膜厚のSi<sub>3</sub>N<sub>4</sub>膜50を形成する。

【0087】工程6(図12(b)、(b')参照)；続いて、前記Si<sub>3</sub>N<sub>4</sub>膜50を被覆するようにおよそ2000Å~3000Åの膜厚のSiO<sub>2</sub>膜51を形成する。

工程7(図13(a)、(a')参照)；前記SiO<sub>2</sub>膜51上にレジスト膜52を形成し、該レジスト膜52をマスクにしてチャネル領域4上のSiO<sub>2</sub>膜51をエッチングして、除去する。

【0088】工程8(図13(b)、(b')参照)；前記レジスト膜52を除去した後に、前記SiO<sub>2</sub>膜51を異方性エッチングして、ソース・ドレイン領域3に隣接する側の浮遊ゲート電極5、6の側壁にトンネル絶縁膜10及びSi<sub>3</sub>N<sub>4</sub>膜50を介してサイドウォールスペース膜53を形成する。

工程9(図14(a)、(a')参照)；前記Si<sub>3</sub>N<sub>4</sub>膜50を前記サイドウォールスペース膜53をマスクにして異方性エッチングすることで、該Si<sub>3</sub>N<sub>4</sub>膜50を膜24の側壁に残膜させる。

【0089】工程10(図14(b)、(b')参照)；上記の工程で形成されたデバイスの全面に、制御ゲート電極7と成るドーパドポリシリコン膜26を形成する。尚、各ドーパドポリシリコン膜21、26の形成方法には以下のものがある。

方法1；LPCVD法を用いてポリシリコン膜を形成する際に、原料ガスに不純物を含んだガスを混入する。

【0090】方法2；LPCVD法を用いてノンドープのポリシリコン膜を形成した後に、ポリシリコン膜上に不純物拡散源層(POC13など)を形成し、その不純物拡散源層からポリシリコン膜に不純物を拡散させる。

方法3；LPCVD法を用いてノンドープのポリシリコン膜を形成した後に、不純物イオンを注入する。

【0091】工程11(図15(a)、(a')参照)；上記の工程で形成されたデバイスの全面にフォトレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、各浮遊ゲート電極5、6及び制御ゲート電極7を形成するためのエッチング用マスク27を形成する。

工程12(図15(b)、(b')参照)；前記エッチング用マスク27を用いた異方性エッチングにより、ドーパドポリシリコン膜26、サイドウォールスペース膜53、Si<sub>3</sub>N<sub>4</sub>膜50、トンネル絶縁膜10、絶縁膜9、膜24をエッチングガスを制御しながら同時にエッチングする。これにより、ドーパドポリシリコン膜26から制御ゲート電極7が形成され、膜24から各浮遊ゲート電極5、6が形成される。

【0092】そして、エッチング用マスク27を剥離すると、メモリアルレイ102が完成する。以上詳述したように、本実施形態によれば、浮遊ゲート電極5、6の側壁にトンネル絶縁膜10を介してサイドウォールスペース膜53を形成しているため、浮遊ゲート電極5、6と選択ゲート電極7間の静電容量を従来構造に比べて小さくすることができ、相対的に浮遊ゲート電極5、6とソース・ドレイン領域3間の静電容量が大きくなり、前述したソース・ドレイン領域3bと浮遊ゲート電極6

との間の静電容量を介したカップリングにより、浮遊ゲート電極6の電位が持ち上げられる際に、従来構造に比べてより10Vに近くすることができる。そのため、チャネル領域4と浮遊ゲート電極6の間には更に高電界が生じ易くなり、書き込み特性を向上させることができる。

【0093】また、浮遊ゲート電極5、6の側壁にトンネル絶縁膜10を介してSi<sub>3</sub>N<sub>4</sub>膜50を形成したことで、非選択のメモリセル1に選択ゲート電極7から浮遊ゲート電極5、6へ電子が注入されることを抑制でき、書き込みディスタブ不良に対する耐性が向上する。尚、本発明は前述した構成に限られるものではなく、例えば、{1}メモリセルアレイ102において、行方向に配列された各メモリセル1のソース・ドレイン領域3が分離され、{2}メモリセルアレイ102において、列方向に配列された各メモリセル1のソース・ドレイン領域3により、行方向に配列された各メモリセル1毎に独立したビット線BL1～BL<sub>n</sub>が形成された構成、つまり、メモリセル1<sub>m</sub>(<sub>m</sub>)の接続されたビット線BL<sub>m</sub>と、メモリセル1<sub>m</sub>(<sub>m</sub>-1)の接続されたビット線BL<sub>m</sub>-1とが分離され、また、メモリセル1<sub>m</sub>(<sub>m</sub>)の接続されたビット線BL<sub>m</sub>+1と、メモリセル1<sub>m</sub>(<sub>m</sub>+1)の接続されたビット線BL<sub>m</sub>+2とが分離された構成のものに適用しても良く、更に異なるメモリセルアレイ構成をとる不揮発性半導体記憶装置に適用しても良い。

【0094】また、本明細書中の(a)半導体基板とは、単結晶シリコン半導体基板だけでなく、ウェル、単結晶シリコン膜、多結晶シリコン膜、非晶質シリコン膜、化合物半導体基板、化合物半導体膜をも含むものとする。また、(b)導電膜とは、ドーパドポリシリコン膜だけでなく、アモルファスシリコン膜、単結晶シリコン膜、高融点金属を含む各種金属膜、金属シリサイド膜などのあらゆる導電材料膜をも含むものとする。

【0095】

【発明の効果】以上、本発明によれば本発明構造のように浮遊ゲート電極の側壁にトンネル絶縁膜を介してサイドウォールスペース膜を形成しているため、浮遊ゲート電極と選択ゲート電極間の静電容量を従来構造に比べて小さくすることができ、相対的に浮遊ゲート電極とソース・ドレイン領域間の静電容量が大きくなり、前述したソース・ドレイン領域と浮遊ゲート電極との間の静電容量を介したカップリングにより、浮遊ゲート電極の電位が持ち上げられ易くなる。そのため、チャネル領域と浮遊ゲート電極の間には更に高電界が生じ易くなり、書き込み特性が向上する。

【0096】また、浮遊ゲート電極の側壁にトンネル絶縁膜を介してSi<sub>3</sub>N<sub>4</sub>膜を形成したことで、非選択のメモリセルにおいて選択ゲート電極から浮遊ゲート電極へ電子が注入されることを抑制でき、書き込みディスタブ不良に対する耐性が向上する。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置を示す断面図である。

【図2】本発明の不揮発性半導体記憶装置を示す平面図である。

【図3】本発明の不揮発性半導体記憶装置のブロック回路図である。

【図4】本発明の不揮発性半導体記憶装置の書き込み方法を説明する断面図である。

【図5】本発明の不揮発性半導体記憶装置の書き込み方法を説明する回路図である。

【図6】本発明の不揮発性半導体記憶装置の読み出し方法を説明する断面図である。

【図7】本発明の不揮発性半導体記憶装置の読み出し方法を説明する回路図である。

【図8】本発明の不揮発性半導体記憶装置の消去方法を説明する断面図である。

【図9】本発明の不揮発性半導体記憶装置の消去方法を説明する回路図である。

【図10】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図11】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図12】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図13】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図14】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図15】本発明の不揮発性半導体記憶装置の製造方法を説明する図である。

【図16】従来の不揮発性半導体記憶装置を示す図である。

【図17】従来の不揮発性半導体記憶装置のブロック回路図である。

【図18】従来の不揮発性半導体記憶装置の書き込み方法を説明する断面図である。

【図19】従来の不揮発性半導体記憶装置の書き込み方法を説明する回路図である。

【図20】従来の不揮発性半導体記憶装置の読み出し方法を説明する断面図である。

【図21】従来の不揮発性半導体記憶装置の読み出し方法を説明する回路図である。

【図22】従来の不揮発性半導体記憶装置の消去方法を説明する断面図である。

【図23】従来の不揮発性半導体記憶装置の消去方法を説明する回路図である。

【図24】従来の不揮発性半導体記憶装置の製造方法を説明する図である。

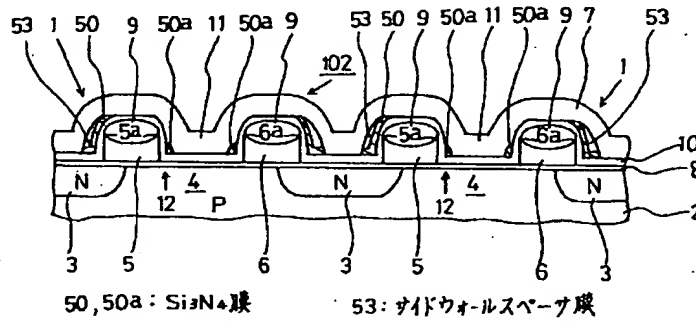
【図25】従来の不揮発性半導体記憶装置の製造方法を

説明する図である。

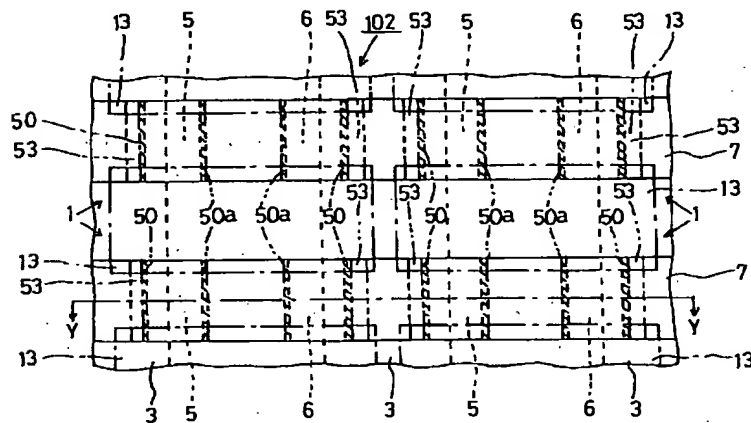
【図26】従来の不揮発性半導体記憶装置の製造方法を説明する図である。

【図27】従来の不揮発性半導体記憶装置の製造方法を説明する図である。

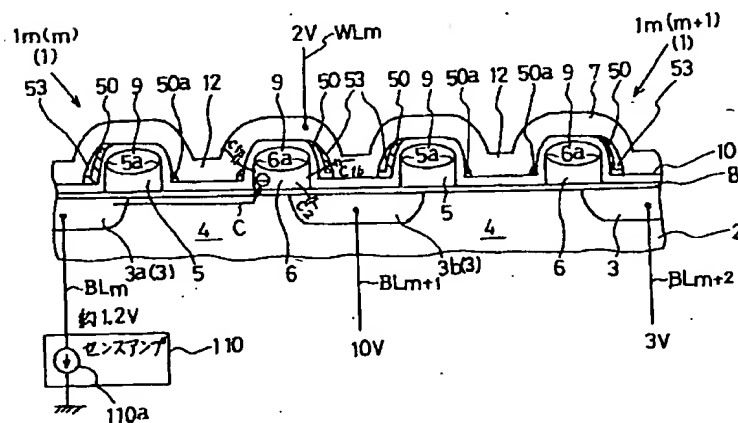
【図1】



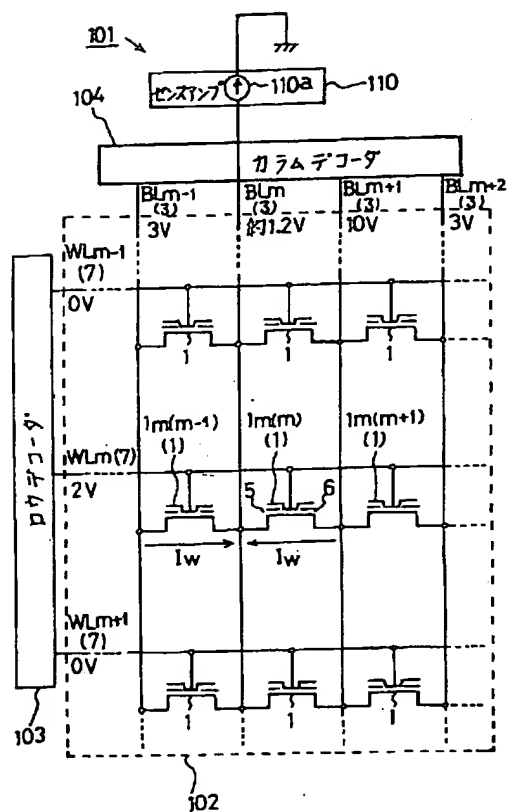
【図2】



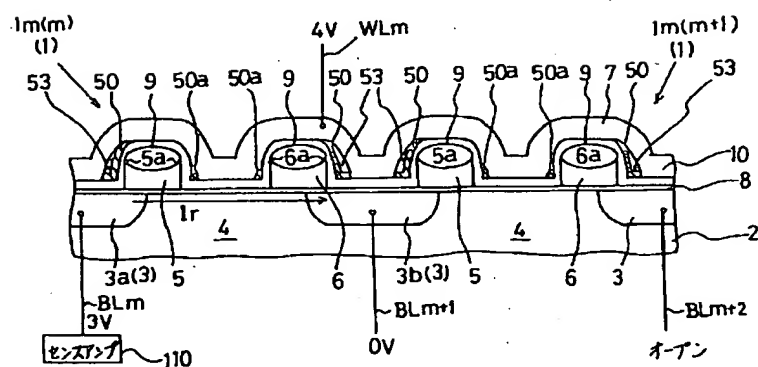
【図4】



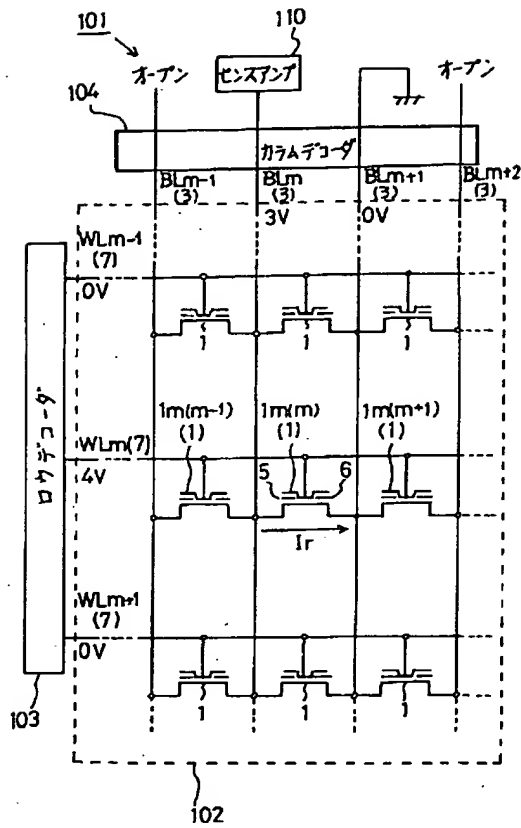
【図5】



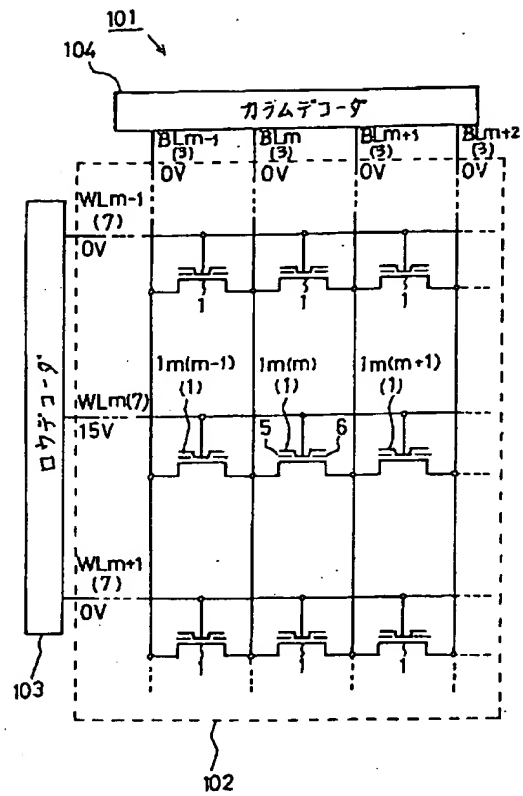
【図6】



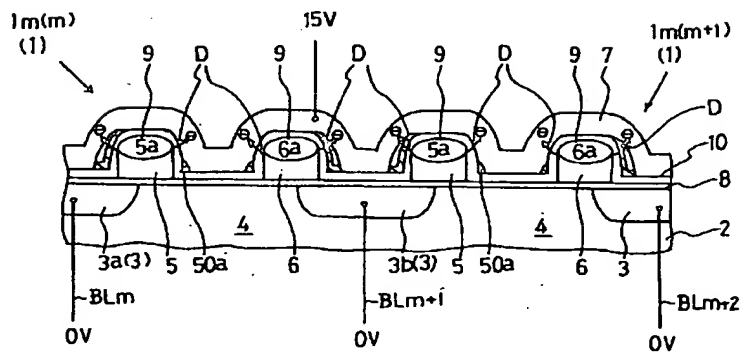
【図7】



【図9】

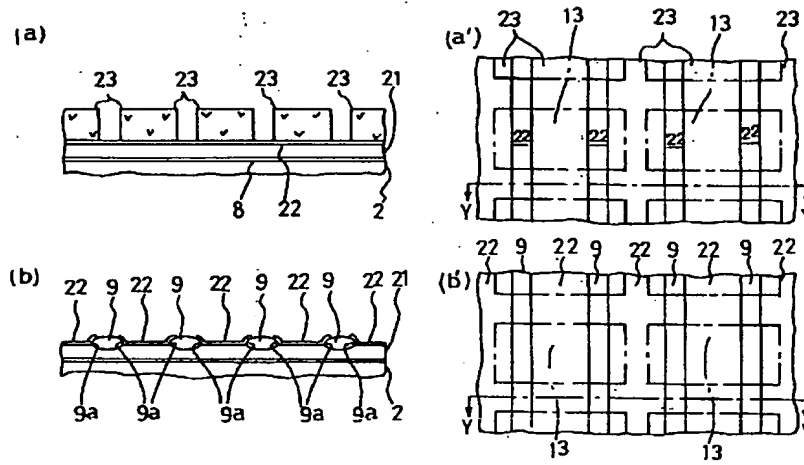


【図8】

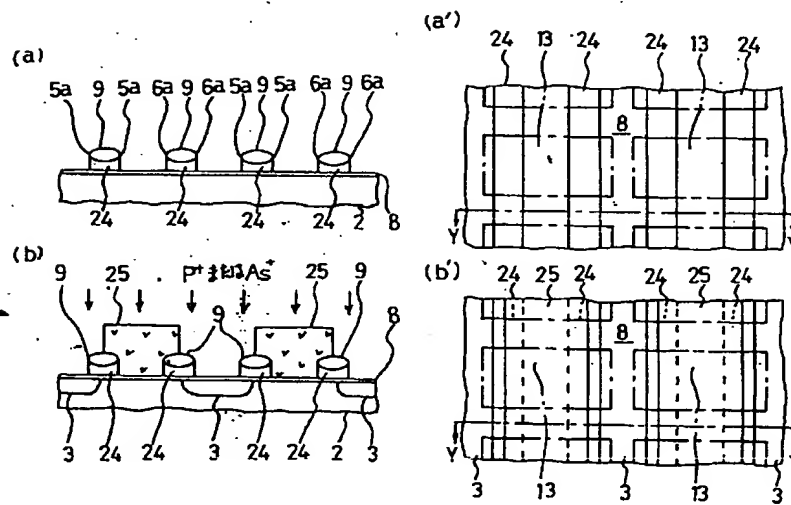




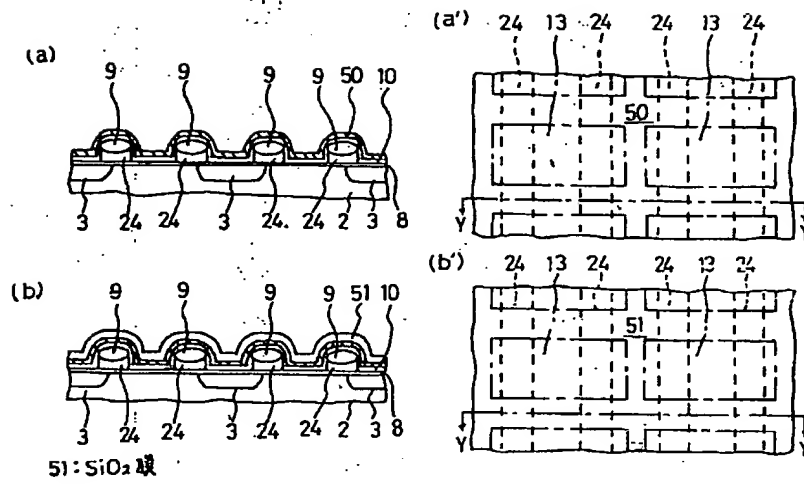
【図10】



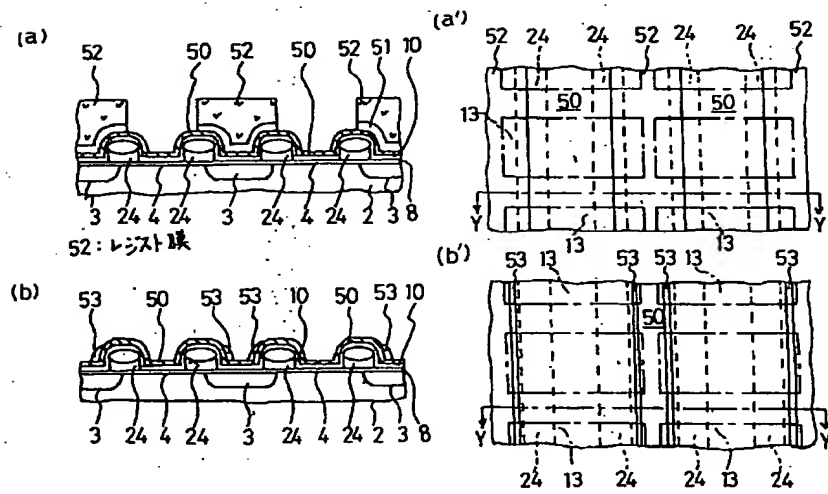
【図11】



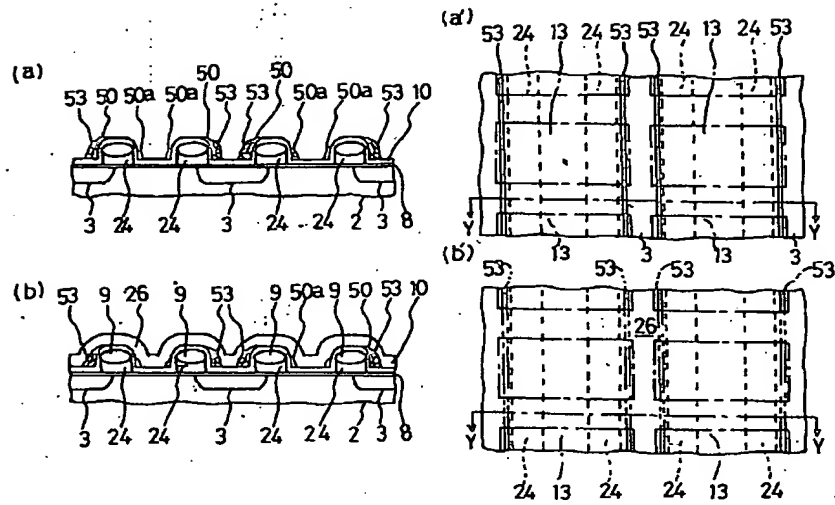
【図12】



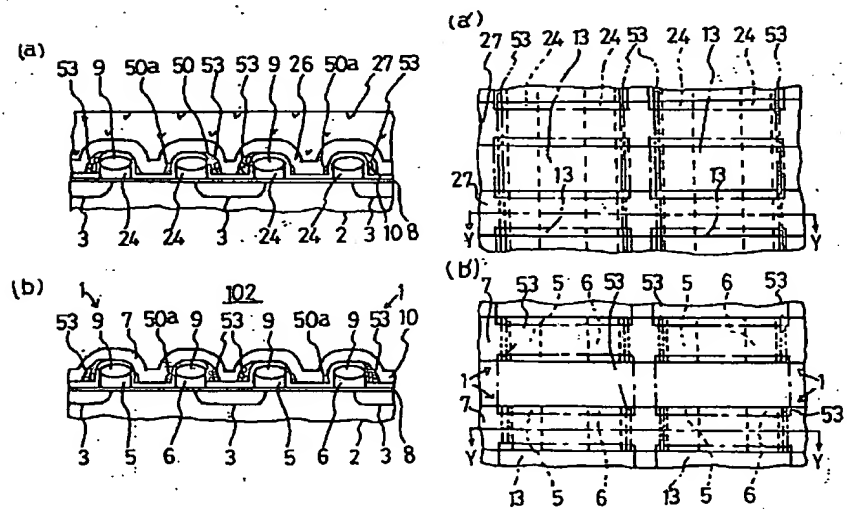
【図13】



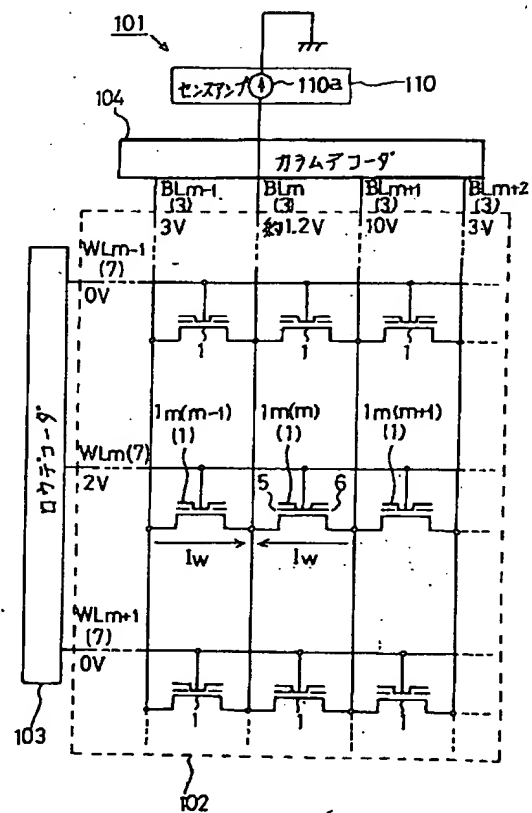
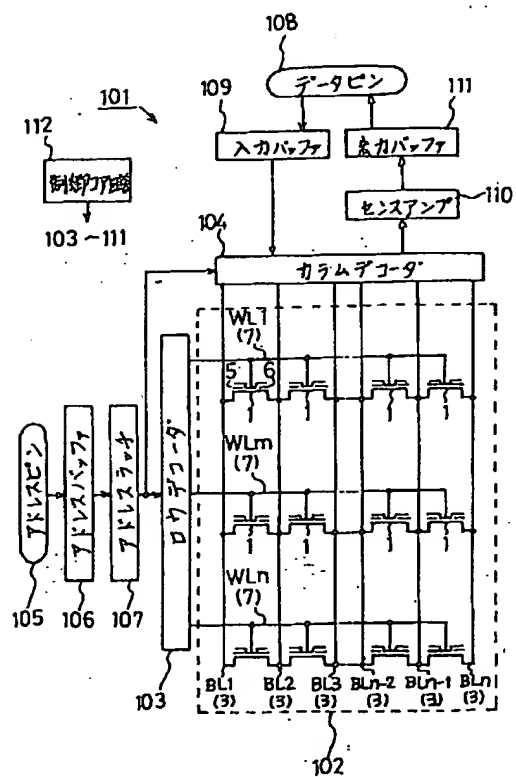
【図14】



【図15】

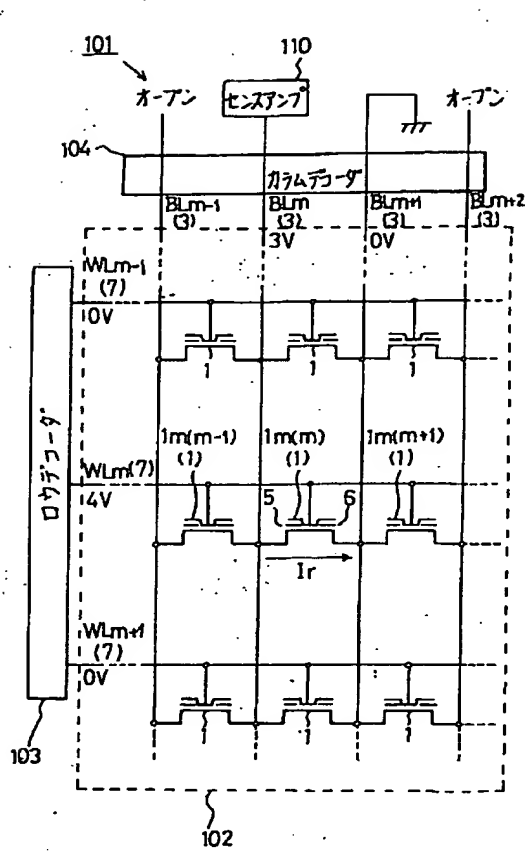


【図19】

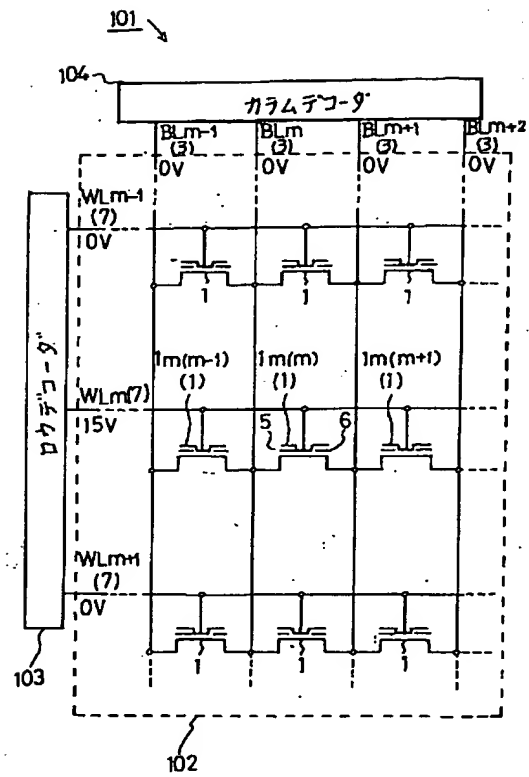


[illegible]

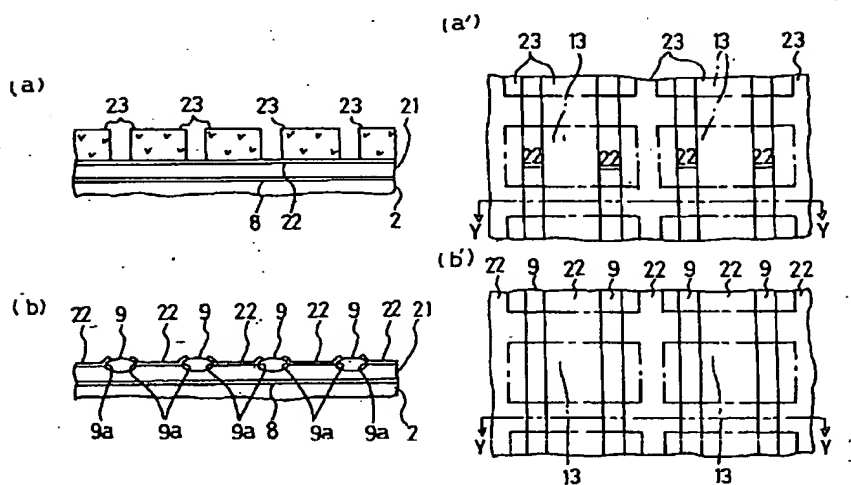
【図21】



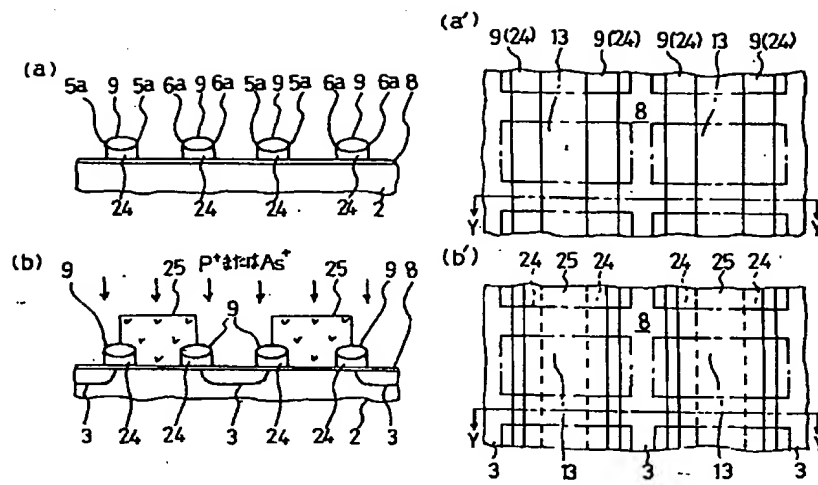
【図23】



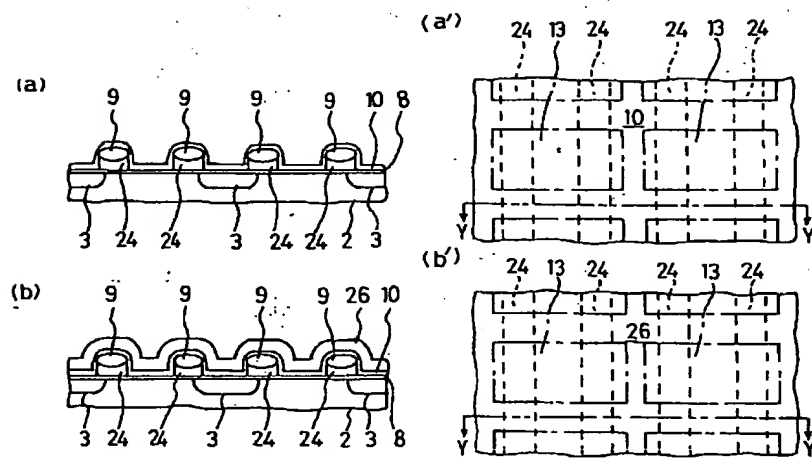
【図24】



【図25】



【図26】



【図27】

